

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-258475

(43)Date of publication of application : 15.11.1986

(51)Int.Cl.

H01L 29/78  
H01L 21/265

(21)Application number : 60-100213

(71)Applicant : RICOH CO LTD

(22)Date of filing : 11.05.1985

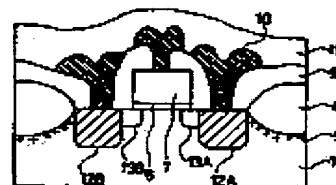
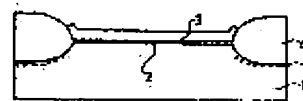
(72)Inventor : SATO HIROHIKO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE HAVING LDD STRUCTURE

## (57)Abstract:

PURPOSE: To easily obtain an LDD structure, by inclining a wafer by an angle from  $40^\circ$  to  $60^\circ$  and rotating the same in a direction within the inclined plane during the formation of the LDD structure.

CONSTITUTION: The surface of a substrate 1 is oxidized to form a buffer oxide film 2, and a silicon nitride film 3 is provided thereon. After the silicon nitride film 3 is patterned for selective oxidation, boron ions are implanted and then a field oxide film 4 is formed. A gate oxide film 6 is further provided, and a polysilicon film doped with phosphorus is provided thereon to form a polysilicon gate electrode 7. Arsenic ions are then implanted to form a source region and a drain region, while the normal of the wafer is inclined by an angle of  $\Theta^\circ$  with respect to the irradiation direction along which the ions are applied and the wafer is rotated in the direction 20 within the inclined plane. Thereafter, a PSG film 9, metallic wiring layers 10 and a passivation film 11 are successively formed. According to this method, an LDD structure can be obtained with simple processes.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

**THIS PAGE BLANK (USPTO)**

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-258475

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)11月15日

H 01 L 29/78  
21/265

8422-5F  
7738-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 LDD構造をもつ半導体装置の製造方法

⑯ 特 願 昭60-100213

⑰ 出 願 昭60(1985)5月11日

⑱ 発 明 者 佐 藤 裕 彦 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑳ 代 理 人 弁 理 士 野 口 繁 雄

明 細 書

1. 発明の名称

LDD構造をもつ半導体装置の製造方法

2. 特許請求の範囲

(1) ゲート電極を形成した後、イオン注入法によりセルフアライン技法を用いてソース領域及びドレイン領域を形成する工程を含む半導体装置の製造方法において、

ウェハを40度から60度の範囲で傾け、かつ、面内方向で回転させながら、前記ソース領域及びドレイン領域形成用のイオン注入を行ない、LDD構造を形成することを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(技術分野)

本発明は、NMOSトランジスタ、PMOSトランジスタ、CMOSトランジスタなどのMOSデバイスを含む半導体集積回路の製造方法に関し、特にソース領域及びドレイン領域においてゲート電極の両側部分に不純物濃度の低い領域をもつL

DD (Lightly Doped Drain)構造のMOSデバイスを含む半導体集積回路の製造方法に関するものである。

(従来技術)

MOSデバイスの超微細化にともない、ソース領域とドレイン領域が接近してソース・ドレイン間の耐圧が小さくなる。そこで、ソース・ドレイン間の耐圧を上げる対策として、ソース領域及びドレイン領域のうちゲート電極の両側部分に濃度の低い領域をもつLDD構造が開発された。

LDD構造を形成する従来の方法では、例えばエッチングによりゲート電極とゲート酸化膜とをパターン形成し、それらのゲート電極とゲート酸化膜とをマスクにしてAs(砒素)を低濃度にイオン注入し、その後CVDとRIEを用いてゲート電極の側面とゲート酸化膜の側面とにSiO<sub>2</sub>のサイドウォールを形成する。その後、このサイドウォールをマスクにしてP(リン)を高濃度にイオン注入する(例えば特公昭59-7229号公報参照)。

しかし、従来のこの方法は、ソース領域及びドレイン領域を形成するためにイオン注入工程を2度行ったり、サイドウォールを形成したりするため、工程が複雑になる問題がある。

(目的)

本発明は、工程を新たに追加することなく、簡単にLDD構造を形成する方法を提供することを目的とするものである。

(構成)

本発明は、ゲート電極を形成した後、イオン注入法によりセルフアライン技法を用いてソース領域及びドレイン領域を形成する工程を含む半導体装置の製造方法であって、ソース領域及びドレイン領域形成用のイオン注入を行なう際、ウエハを40度から60度の範囲で傾け、かつ、面内方向で回転させることによりLDD構造を形成することを特徴とする方法である。

以下、実施例について具体的に説明する。

第1図ないし第4図は一実施例の製造方法を工程順に断面図で表わしたものである。

シリコン膜をエッチングし、ゲート酸化膜6もエッチングして、第2図に示されるようにポリシリコンのゲート電極7を形成する。

(C) 次に砒素イオンをセルフアライン法により注入してソース領域及びドレイン領域を形成する。

このとき、本実施例では第3図に示されるように、ウエハの法線方向がイオン照射方向に対してθ度傾くようにウエハを傾けるとともに、ウエハをその面内方向20度で回転させる。砒素イオンの注入は20K<sub>e</sub>Vで行ない、注入量は約 $1 \times 10^{15} / \text{cm}^2$ である。

このイオン注入工程において、図の状態では領域8Aではa部分とb部分の双方にイオンが注入されている。しかし、領域8Bではa部分にはイオンが注入されるが、b部分はゲート電極7で遮られてイオン注入が行なわれない。そして、イオン注入が行なわれている間、ウエハをその面内で回転させることにより、ゲート電極7の両側のb部分にそれらの外側のa部分よりもイオン注入濃

(A) 第1図はCZ(100)のP型シリコン基板1上に、LOCOS法による選択酸化法によりフィールド酸化膜4が形成された状態を表わしている。

ここまでの工程は通常のものである。簡単に述べると、基板1の表面を酸化してパツファ酸化膜( $\text{SiO}_2$ )2を約500Åの厚さに形成し、その上にシリコン窒化膜( $\text{Si}_3\text{N}_4$ )3を約800Åの厚さに形成する。シリコン窒化膜3を選択酸化用にパターン化した後、チャンネルストップ5形成用にボロンイオン( $\text{B}^+$ )を50K<sub>e</sub>Vで $5 \times 10^{15} / \text{cm}^2$ 注入した後、フィールド酸化を行なって、約8000Åのフィールド酸化膜4を形成する。

(B) 次にシリコン窒化膜3とパツファ酸化膜2をエッチングにより除去した後、ゲート酸化膜6を約500Åの厚さに形成し、その上にリンがドーブされたポリシリコン膜を約7000Åの厚さに形成する。そして、その上にレジストパターンを形成し、そのレジストパターンをマスクとしてポリ

度の低い領域が形成される。

(D) その後、通常の工程によりソース領域及びドレイン領域に注入された砒素イオンをドライブした後、第4図に示されるように、PSG膜9を形成し、その上にレジストパターンを形成し、そのレジストパターンをマスクにしてPSG膜9をドライエッチングしてコンタクトホールを形成する。その後、シリコンを1%含むアルミニウム(A1-1%Si)によりメタル配線10を形成し、さらにパッシベーション膜11を形成する。

このようにして、第4図に示されるような、ポリシリコンゲート電極7の両側領域13A, 13Bで不純物濃度が低く、それらの外側領域12A, 12Bで不純物濃度が高くなったLDD構造をもったMOSデバイスが形成される。

本実施例において、第3図に示されるイオン注入工程でのウエハの傾斜角θ(度)と得られるMOSデバイスのソース・ドレイン間耐圧(V)の関係を第5図に示す。この場合、マスク上のチャンネル長Lは2.0μmである。この結果によれば

$\theta$  が  $40 \sim 60$  度の範囲において約  $10\text{V}$  の耐圧が得られる。

(効果)

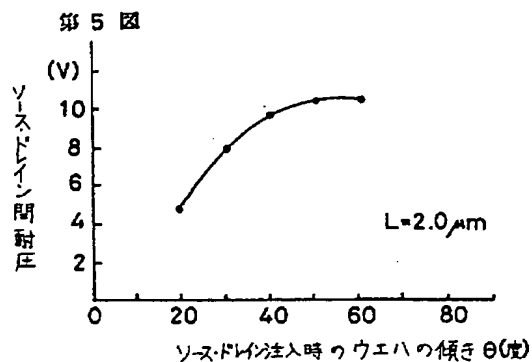
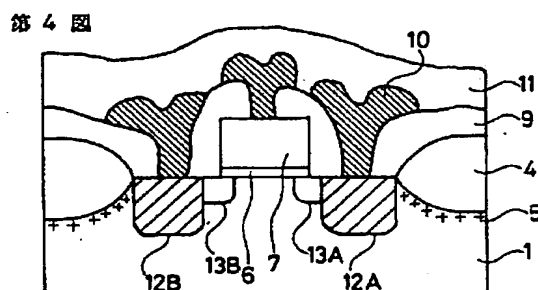
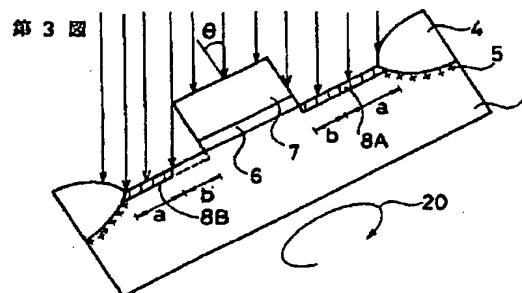
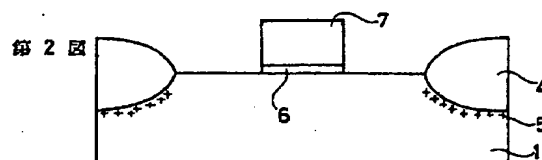
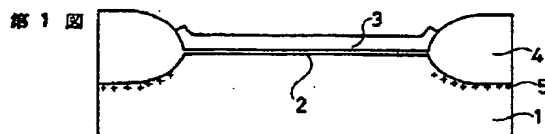
本発明によれば、ソース領域及びドレイン領域形成時のイオン注入工程において、ウエハを所定の角度傾け、かつ、回転させてイオンを傾め方向から注入するようにするだけの簡単なプロセスにより  $\text{LDD}$  構造が形成される。これにより、ショートチャンネル効果やドレイン付近でのホットエレクトロン効果を抑制して  $\text{MOS}$  デバイスの耐圧を高めることができる。

#### 4. 図面の簡単な説明

第1図ないし第4図は一実施例を工程順に示す断面図、第5図はイオン注入時のウエハ傾斜角  $\theta$  とソース・ドレイン間耐圧との関係を示す図である。

- 1 ……基板、
- 7 ……ゲート電極、
- 12A, 12B ……高濃度領域、
- 13A, 13B ……低濃度領域。

代理人 弁理士 野口繁雄



**THIS PAGE BLANK (USPTO)**